

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-028782

(43)Date of publication of application : 05.02.1993

(51)Int.Cl. G11C 16/06

(21)Application number : 03-186441- (71)Applicant : TOSHIBA CORP

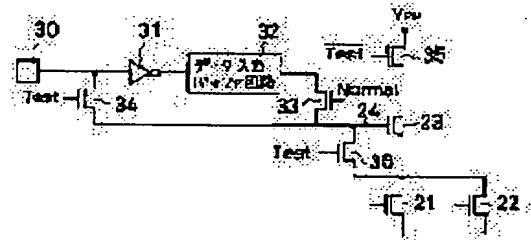
(22)Date of filing : 25.07.1991 (72)Inventor : ATSUMI SHIGERU

(54) NONVOLATILE SEMICONDUCTOR MEMORY

(57)Abstract:

PURPOSE: To sufficiently attain the speeding-up of read-out by setting a threshold of a dummy cell at an optional value and setting accurately a bit line potential of the dummy cell side at the time of reading by setting a threshold of the dummy cell to a desired value in spite of the threshold of the dummy cell after the data is erased by the irradiation with ultraviolet rays for initialization, in an EEPROM.

CONSTITUTION: The EEPROM has a write-in circuit 10 for dummy cell to write in the dummy cell 11 giving a data discrimination reference of a read-out potential from a cell body 1.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-28782

(43) 公開日 平成5年 (1993) 2月5日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 16/06		9191-5L	G 1 1 C 17/00	3 0 9 B

審査請求 未請求 請求項の数9 (全 8 頁)

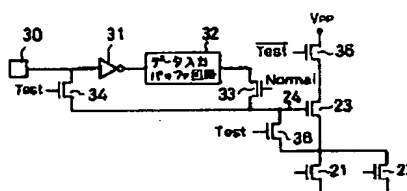
(21) 出願番号	特願平3-186441	(71) 出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22) 出願日	平成3年 (1991) 7月25日	(72) 発明者	渥美 滋 神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝総合研究所内
		(74) 代理人	弁理士 鈴江 武彦

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【目的】 EEPROMにおいて、ダミーセルの閾値を任意の値に設定できるようにし、初期化のために紫外線を照射してデータ消去を行った後のダミーセルの閾値にかかわらず、ダミーセルの閾値を所望値に設定して読み出し時のダミーセル側ビット線電位を精度よく設定することにより、読み出しの高速化を十分に達成する。

【構成】 EEPROMにおいて、本体セル1からの読み出し電位のデータ判定基準を与えるダミーセル11に対する書込みを行うためのダミーセル用書込み回路10を有することを特徴とする。



1

【特許請求の範囲】

【請求項1】 ビット線と、

このビット線に接続された電氣的消去可能なメモリセルと、

上記ビット線を選択するための列選択用トランジスタと、

この列選択用トランジスタのドレインと第1ノードとの間に接続され、ゲートに所定値のバイアス電圧が印加される第1のトランスファゲートと、

前記第1ノードを充電する第1の負荷回路と、

ダミービット線と、

このダミービット線に接続された電氣的消去可能なダミーセルと、

上記ダミービット線を選択するためのダミーセル側列選択用トランジスタと、

このダミーセル側列選択用トランジスタのドレインと第2ノードとの間に接続され、ゲートに所定値のバイアス電圧が印加される第2のトランスファゲートと、

前記第2ノードを充電する第2の負荷回路と、

前記第1ノードの電位と第2ノードの電位とを比較し、その差を増幅して出力するセンスアンプと、

前記ダミーセルの書き込みを行うためのダミーセル書き込み回路とを具備することを特徴する不揮発性半導体記憶装置。

【請求項2】 ビット線と、

このビット線に接続された電氣的消去可能なメモリセルと、

上記ビット線を選択するための列選択用トランジスタと、

この列選択用トランジスタのドレインと第1ノードとの間に接続され、ゲートに所定値のバイアス電圧が印加される第1のトランスファゲートと、

前記第1ノードを充電する第1の負荷回路と、

ダミービット線と、

このダミービット線に接続された電氣的消去可能なダミーセルと、

上記ダミービット線を選択するためのダミーセル側列選択用トランジスタと、

このダミーセル側列選択用トランジスタのドレインと第2ノードとの間に接続され、ゲートに所定値のバイアス電圧が印加される第2のトランスファゲートと、

前記第2ノードを充電する第2の負荷回路と、

前記第1ノードの電位と第2ノードの電位とを比較し、その差を増幅して出力するセンスアンプと、

前記ダミーセルの書き込みを行うためのダミーセル書き込み回路と、

前記ダミーセルの消去を行うためのダミーセル消去回路とを具備することを特徴する不揮発性半導体記憶装置。

【請求項3】 請求項1または2に記載の不揮発性半導体記憶装置において、複数の入／出力パッドを有し、こ

2

の各入／出力パッド毎に対応して1つあるいは2つ以上のダミーセルを有し、上記各入／出力パッド毎に対応して前記ダミーセル書き込み回路が設けられていることを特徴する不揮発性半導体記憶装置。

【請求項4】 請求項1乃至3のいずれかに記載の不揮発性半導体記憶装置において、前記ダミーセル書き込み回路は、

書き込み用トランジスタの一端と前記列選択用トランジスタのドレインとの間に接続され、本体セル書き込み時にオン状態、ダミーセル書き込み時にオフ状態に制御される第1のトランスファゲート用トランジスタと、

上記書き込み用トランジスタの一端と前記ダミーセル側列選択用トランジスタのドレインとの間に接続され、本体セル書き込み時にオフ状態、ダミーセル書き込み時にオン状態に制御される第2のトランスファゲート用トランジスタとを有することを特徴する不揮発性半導体記憶装置。

【請求項5】 請求項1乃至4のいずれか1項に記載の不揮発性半導体記憶装置において、さらに、前記ダミーセルの閾値をモニターするための回路を具備することを特徴する不揮発性半導体記憶装置。

【請求項6】 請求項5記載の不揮発性半導体記憶装置において、前記ダミーセルの閾値をモニターするための回路は、入／出力パッドから入力するデータを波形整形・電圧変換するデータ入力バッファ回路と、このデータ入力バッファ回路の出力ノードと書き込み用トランジスタのゲート側のデータ線との間に挿入され、ダミーセル書き込み時にオフ状態に制御される第3のトランスファゲート用トランジスタと、前記入／出力パッドと上記データ線との間に挿入され、ダミーセル書き込み時にオン状態に制御される第4のトランスファゲート用トランジスタと、前記ダミーセルのゲートに接続されているダミーワード線に外部から任意の電圧を印加するためのダミーワード線制御電圧印加回路とを具備することを特徴する不揮発性半導体記憶装置。

【請求項7】 請求項6記載の不揮発性半導体記憶装置において、前記ダミーワード線制御電圧印加回路は、通常動作時にはダミーセルの読み出し時／書き込み時に対応して読み出し電源電圧／書き込み用高電圧を前記ダミーワード線に与える回路と、ダミーセルの消去モード時に外部から接地電位あるいは負電圧を前記ダミーワード線に印加し、ダミーセル閾値テストモード時に外部から任意の電圧を前記ダミーワード線に印加するためのダミーパッドとを具備することを特徴する不揮発性半導体記憶装置。

【請求項8】 請求項7記載の不揮発性半導体記憶装置において、前記通常動作時にはダミーセルの読み出し時／書き込み時に対応して読み出し電源電圧／書き込み用高電圧を前記ダミーワード線に与える回路は、上記ダミーワード線に一端が接続されたPチャネルトランジスタを有し、このPチャネルトランジスタの他端および基板は相

互に接続されると共にダミーセルの消去モード時に接地電位が与えられ、上記Pチャネルトランジスタのゲートにはダミーセル閾値テストモード信号が入力することを特徴する不揮発性半導体記憶装置。

【請求項9】 請求項4乃至8のいずれか1項に記載の不揮発性半導体記憶装置において、さらに、前記メモリセルの閾値をモニターするための回路を具備することを特徴する不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、積層ゲート構造の不揮発性メモリセルのアレイを用いた不揮発性半導体記憶装置に係り、特にダミーセルの書き込みを行う回路に関する。

【0002】

【従来の技術】 EPROM（紫外線消去・再書き込み可能な読み出し専用メモリ）やEEPROM（電氣的消去・再書き込み可能な読み出し専用メモリ）においては、メモリセルとして積層ゲート構造（スタック・ゲート）を有する1個のMOSトランジスタが用いられる。このセルトランジスタに対するデータの書き込みは、制御ゲートおよびドレインに高電圧を印加し、ドレイン近傍に生じるチャネル・ホット・エレクトロンを浮遊ゲートに注入することに行う。このエレクトロンが注入されたセルトランジスタは、制御ゲートからみた閾値が上昇する。上記セルトランジスタのデータの読み出しは、制御ゲートに読み出し電源電位 V_{cc} を印加し、セルトランジスタがオンするかオフするかによってデータの判定を行う。

【0003】 なお、EEPROMセルの代表例としては、ETOX（米国インテル社登録商標）型セルと呼ばれるトンネル・オキサイド型EPROM（EPROM with TunnelOxide）セルがある。

【0004】 図6は、EPROMで一般的に用いられている読み出し回路を示す回路図である。 V_{cc} は読み出し電源電位（通常、5V）、 V_{ss} は接地電位、1…はメモリセル（本体セル）、2…はビット線、3…は列選択用のエンハンスメント型Nチャネルトランジスタ、5はビット線トランスファゲート用のエンハンスメント型Nチャネルトランジスタ、6はバイアス回路、7はゲート・ドレイン相互が接続されたビット線負荷用のエンハンスメント型Pチャネルトランジスタ、8はセンス線、9はワード線、11はダミーセル、12はダミーセル側ビット線、13はダミーセル側列選択用のエンハンスメント型Nチャネルトランジスタ、15はダミーセル側ビット線トランスファゲート用のエンハンスメント型Nチャネルトランジスタ、16はダミーセル側のバイアス回路、17はゲート・ドレイン相互が接続されたダミービット線負荷用のエンハンスメント型Pチャネルトランジスタ、18はダミーセル側センス線、19はダミーワード線、20は差動型センスアンプである。上記バイアス回

路6は、読み出し時に前記トランジスタ5に所定のバイアス電位（例えば3V程度）を供給するためのものである。上記トランジスタ5は基板バイアス効果を含めた閾値電圧が1.5V程度となるように設定されており、ビット線電位を1.5V程度にクランプするように作用する。このようにクランプする理由は、本体セル1の長時間の読み出し中に誤書き込みが生じることを防止することにある。前記ダミーセル側のバイアス回路16は上記バイアス回路6と同様のものであり、ダミーセル側のトランジスタ15は上記トランジスタ4および5と同様の作用によりダミーセル側ビット線電位を1.5V程度にクランプする。

【0005】 上記回路は、本体セル1からの読み出し電位をセンスアンプ20に入力してリファレンス電位（ダミーセル11からの読み出し電位）と比較するシングルエンド型センスアンプ方式が用いられている。また、本体セル1からの読み出し電位をビット線トランスファゲート用のトランジスタ5により増幅した後にセンスアンプ20に入力する二段センス方式が用いられている。

【0006】 なお、前記バイアス回路6および16は、読み出し時以外には0Vを出力し、前記トランジスタ5および15をオフにしてビット線2およびダミービット線12からセンスアンプ20側の回路を電氣的に切り離す。

【0007】 次に、上記読み出し回路の動作を説明する。アドレス信号により選択されたワード線9およびビット線2に接続されている本体セル1（選択セル）が書き込み状態（オフ状態）であると、これに接続されているビット線2の電位は高レベルになり、この高レベルは本例では1.5Vになる。上記とは逆に、選択セル1が非書き込み状態（オン状態）であると、これに接続されているビット線2の電位は低レベルになり、この低レベルはビット線トランスファゲート用トランジスタ5のサイズを調整すれば1.2Vにすることが可能である。従って、ビット線電位を0.3V程度の振幅に絞り込むことが可能になる。また、ビット線負荷用トランジスタ7の閾値電圧が-1.0Vであると、ビット線電位が高レベル（1.5V）の時にセンス線8の電位は4Vになり、ビット線負荷用トランジスタ7のサイズを調整することにより、ビット線電位が低レベル（1.2V）の時にセンス線8の電位を例えば3Vにすることが可能になる。即ち、ビット線2の僅かな振幅（0.3V）が1Vに増幅されるようになる。以後、このようにビット線電位の小さな振幅をトランスファゲート用トランジスタ5および負荷用トランジスタ7を用いて増幅する回路方式をレベルシフト回路方式と呼ぶことにする。

【0008】 ここで、ダミーセル11、ダミーセル側の列選択用トランジスタ13、ビット線トランスファゲート用トランジスタ15の各サイズ（チャネル幅 W /チャネル長 L ）を、それぞれ対応して、本体セル1、本体セ

5

ル側の列選択用トランジスタ3…、ビット線トランスファゲート用トランジスタ5の各サイズと同一に設定しておくものとする。そして、セル11を非書き込み状態（オン状態）に設定すると共にその制御ゲート（ダミーワード線19）に読み出し電源電位 V_{cc} を与えることにより、選択された本体セル1が非書き込み状態である場合に、本体セル1およびダミーセル11には同じ電流量が流れることになる。

【0009】ここで、ダミーセル側ビット線負荷用トランジスタ17のサイズを本体セル側ビット線負荷用トランジスタ7のサイズよりも大きく設定することにより、ダミーセル側ビット線負荷用トランジスタ17のコンダクタンスを本体セル側ビット線負荷用トランジスタ7のコンダクタンスよりも高く設定しておけば、ダミーセル側センス線18の電位は本体セル側センス線8の低レベルよりも高くなる。

【0010】同時に、ダミーセル側ビット線負荷用トランジスタ17のコンダクタンスを調整しておくことにより、ダミーセル側センス線18の電位が本体セル側センス線8の高レベルよりも低くなるように（本体セル側センス線8の低レベルと高レベルとの中間電位となるように）設定することが可能になる。

【0011】従って、本体セル側センス線8の電位とダミーセル側センス線18の電位とを差動型のセンスアンプ20で比較して増幅することにより、本体セル1が書き込み状態であるか否かを判別することが可能になる。

【0012】上記したような読み出し回路は、オン状態のセルをダミーセル11として用いることにより、プロセス・パラメータのばらつきに対するマージンが広がるという利点がある。従って、EPROMでは、オン状態のセルの閾値が意図的に決まる紫外線消去型のセルを用いるので、上記のような読み出し回路を使用することは極めて有効である。

【0013】しかし、従来のEEPROMでは、電氣的に消去可能なセル（例えばETOX型セル）のオン状態の閾値を的確に決め難いので、上記のような読み出し回路を使用すると、次に述べるような問題（a）、（b）が起る。

【0014】即ち、（a）ETOX型セルは、紫外線消去型セルのように紫外線消去によってオン状態のセルの閾値が一義的に決まるのではなく、消去時間が長い程、閾値が低下するので、読み出し時のダミーセル側ビット線電位を精密に設定することが困難になり、本体セルがオン状態の時とオフ状態の時とで読み出しマージンが異なってしまう、結果的に読み出し速度が低下するおそれがある。

【0015】また、（b）ETOX型セルは、非書き込み状態（浮遊ゲートに電荷が蓄積されていない状態）での閾値が高くなるおそれがある。つまり、ETOX型セルは、ゲート絶縁膜（トンネル絶縁膜）にトンネル電流を

6

流すことにより消去を行うので、上記ゲート絶縁膜として10nm程度の膜厚の薄膜を用いている。従って、十分な書き込み特性を保証するためには、閾値制御のためのイオン注入（チャネル・インプランテーション）に多くのドーズ量が必要であり、この結果、制御ゲートからみた閾値が3V近く（因みに、EPROMセルは2V程度である。）に上がるおそれがある。

【0016】これにより、EEPROMの製造に際して、ウェーハ状態でテストし、さらに、初期化のために紫外線を照射してデータ消去を行うことによってセルの閾値が上記したように高くなったままの状態では製品化されて工場から出荷されると、EEPROMの使用に際して、読み出し時に十分なオン電流が流れなくなり、読み出し速度が低下するおそれがある。

【0017】

【発明が解決しようとする課題】上記したように従来のEEPROMは、セルのオン状態の閾値を的確に決め難いことに起因して読み出し速度が低下するおそれがあるという問題があった。

【0018】本発明は上記の問題点を解決すべくなされたもので、ダミーセルの閾値を任意の値に設定することが可能になり、初期化のために紫外線を照射してデータ消去を行った後のダミーセルの閾値にかかわらず、ダミーセルの閾値を所望値に設定して読み出し時のダミーセル側ビット線電位を精度よく設定することにより、読み出しの高速化を十分に達成し得る不揮発性半導体記憶装置を提供することを目的とする。

【0019】

【課題を解決するための手段】本発明は、電氣的消去・再書き込み可能な不揮発性半導体記憶装置において、本体セルからの読み出し電位のデータ判定基準を与えるダミーセルに対して書き込みが可能なダミーセル用書き込み回路を有することを特徴とする。

【0020】

【作用】ダミーセル用書き込み回路によって、ダミーセルの閾値を任意の値に設定することが可能になる。従って、EEPROMの製造に際して、ウェーハ状態でテストし、さらに、初期化のために紫外線を照射してデータ消去を行った後のダミーセルの閾値にかかわらず、ダミーセルの閾値を所望値に設定できるので、回路動作およびプロセス上のマージンが拡大する。換言すれば、読み出し時のダミーセル側ビット線電位を精度よく設定することにより、読み出しの高速化を十分に達成することができる。

【0021】

【実施例】以下、図面を参照して本発明の実施例を詳細に説明する。図1は、本発明のEEPROMの一実施例の一部を示す回路図である。

【0022】この回路は、前述した図6の回路において、本体セル1…およびダミーセル11としてEEPROM

OMセル（例えばETOX型セル）が用いられ、さらに、ダミーセル11に対する書き込み可能なダミーセル用書き込み回路10が付加されたものであり、図6中と同一部分には同一符号を付している。

【0023】上記ダミーセル用書き込み回路10は、書き込み用のエンハンスメント型Nチャネルトランジスタ23のソースと前記列選択用トランジスタ3…のドレインとの間に接続され、本体セル書き込み時にオン状態、ダミーセル書き込み時にオフ状態に制御される本体セル側選択用

（第1のトランスファゲート用）のエンハンスメント型Nチャネルトランジスタ21と、同じく上記書き込み用トランジスタ23のソースと前記ダミーセル側列選択用トランジスタ13のドレインとの間に接続され、本体セル書き込み時にオフ状態、ダミーセル書き込み時にオン状態に制御されるダミーセル側選択用（第2のトランスファゲート用）のエンハンスメント型Nチャネルトランジスタ22とを有する。上記書き込み用トランジスタ23は、ドレインが書き込み電圧 V_{pp} ノードに接続され、そのゲートには、データ入/出力パッド（図2中30）から入力さ

	読み出し	書き込み	消去
ドレイン	約1V	V_{pp}	浮遊状態
制御ゲート	V_{cc}	V_{pp}	0Vあるいは負電圧
ソース	0V	0V	V_{pp}

【0028】即ち、読み出し時には、本体セル1およびダミーセル11のソースに0V、制御ゲートに V_{cc} 、ドレインには長時間の読み出しによる誤書き込みを防止するための読み出し中間電圧（例えば1V）を与える。これにより、選択セル1のオン/オフ状態に応じてセンス線電位が決まり、ダミーセル1のオン状態に応じてダミーセル側センス線電位が決まり、上記センス線電位とダミーセル側センス線電位とが比較され、選択セル1のデータの論理レベルが判定される。

【0029】書き込み時には、書き込み用トランジスタ23は書き込みデータに応じてオンあるいはオフになる。選択セル1に対する書き込み時には、本体セル側選択用トランジスタ21がオンになり、選択セル1のソースに0V、基板にも0V、制御ゲートおよびドレインには高電圧である書き込み電圧 V_{pp} をそれぞれ与える。すると、選択セル1のドレイン・ソース間にオン電流が流れ、ドレイン近傍でホット・エレクトロンおよびホット・ホールの対が発生する。そして、ホールは基板電流として基板に流れるが、ホット・エレクトロンが選択セル1の浮遊ゲートに注入されることにより、制御ゲートからみた閾値が上昇し、書き込みが完了する。ダミーセル11に対する書き込み時には、ダミーセル側選択用トランジスタ22がオンになり、ダミーセル11のソースに0V、基板にも

れた書き込みデータ D_{in} に応じて書き込みレベル（“H”レベル）/非書き込みレベル（“L”レベル）になる書き込み制御電圧がデータ線24から印加される。

【0024】上記第1のトランスファゲート用トランジスタ21のゲートには、書き込みイネーブル信号 \overline{WE} が印加され、この信号 \overline{WE} は本体セル1の書き込み時に書き込み電圧 V_{pp} になり、読み出し時に接地電位 V_{ss} になる。

【0025】また、前記第2のトランスファゲート用トランジスタ22のゲートには、ダミー書き込みイネーブル信号 \overline{DWE} が印加され、この信号 \overline{DWE} は、ダミーセルの書き込み時に書き込み電圧 V_{pp} になり、読み出し時に接地電位 V_{ss} になる。

【0026】なお、本体セル1およびダミーセル11のドレイン/制御ゲート/ソースには、読み出し/書き込み/消去の各動作モードに応じて下記の表1に示す電圧が与えられる。

【0027】

【表1】

0V、制御ゲートおよびドレインには書き込み電圧 V_{pp} をそれぞれ与えることにより、書き込みが行われる。

【0030】消去時には、本体セル1およびダミーセル11のソースに高電圧 V_{pp} 、制御ゲートに0Vを与え、列選択用トランジスタ3…および13をオフ状態にしてドレインを浮遊状態に設定する。この時、制御ゲート・浮遊ゲート間の容量と浮遊ゲート・ソース間の容量との容量比およびソース電圧に応じて浮遊ゲート電位が設定され、ソースと浮遊ゲートとの間のトンネル絶縁膜にフowler・ノルトハイム（Fowler-Nordheim）トンネル電流が流れることにより浮遊ゲートからエレクトロンが引き抜かれ、消去が完了する（閾値が書き込み前の状態になる）。なお、浮遊ゲートからのエレクトロンの引き抜き効率を上げるために、制御ゲートに負電圧を与える場合もある。

【0031】上記実施例のEEPROMによれば、データ消去後にダミーセル11に書き込みを行うことによりダミーセル11の閾値を任意の値に設定することが可能になる。従って、EEPROMの製造に際して、ウェーハ状態でテストし、さらに、初期化のために紫外線を照射してデータ消去を行った後のダミーセル11の閾値にかかわらず、ダミーセル11の閾値を所望値に正確に設定できるので、回路動作およびプロセス上のマージンが

拡大する。換言すれば、読み出し時のダミーセル側ビット線電位を精度よく設定し、読み出しの高速化を十分に達成することができる。

【0032】ところで、ダミーセル11の閾値を所望値に正確に設定するためには、ダミーセル11の閾値をモニターしながら、必要に応じてダミーセル11の書き込みを行うようにする回路が必要である。

【0033】図2は、図1の回路に対してダミーセル11の閾値をモニターする回路を付加した場合の一部を示す回路図である。30はデータ入/出力パッド、31はインバータ回路、32は波形整形・電圧変換用のデータ入力バッファ回路、33は上記データ入力バッファ回路33の出力ノードと前記データ線24（書き込み用トランジスタ23のゲート）との間に直列に挿入された第3のトランスファゲート用のエンハンスメント型Nチャネルトランジスタであり、そのゲートには制御信号Normalが与えられる。34は前記データ入/出力パッド30と上記データ線24との間に直列に挿入された第4のトランスファゲート用のエンハンスメント型Nチャネルトランジスタであり、そのゲートにはダミーセル閾値テストモード信号Testが与えられる。35は前記書き込み電圧Vppノードと前記書き込み用トランジスタ23のドレインとの間に挿入されたエンハンスメント型Nチャネルトランジスタであり、そのゲートには前記テストモード信号Testの反転テストモード信号/Testが与えられる。36は前記書き込み用トランジスタ23のゲートとソースとの間に挿入されたエンハンスメント型Nチャネルトランジスタであり、そのゲートには前記制御信号Testが与えられる。

【0034】図2の回路において、通常動作時には、前記制御信号Normalを“H”レベル、前記テストモード信号Testを“L”レベル（反転テストモード信号/Testは“H”レベル）にし、トランジスタ33および35をオン、トランジスタ34および36をオフにする。従って、第1のトランスファゲート用トランジスタ21をオンにしておくと、通常通り、本体セル側の列選択トランジスタ3…のドレイン側に書き込み電圧を印加することが可能になる。

【0035】ダミーセル閾値テスト時には、前記制御信号Normalを“L”レベル、テストモード信号Testを“H”レベル（反転テストモード信号/Testは“L”レベル）にし、トランジスタ33および35をオフ、トランジスタ34および36をオンにする。従って、書き込みトランジスタ23には電流が流れない状態になり、外部から所定の正の電圧を入/出力パッド30→トランジスタ34→トランジスタ36の経路で第1のトランスファゲート用トランジスタ21および第2のトランスファゲート用トランジスタ22の各ドレインに印加することが可能になる。この時、第2のトランスファゲート用トランジスタ22をオンにすると、ダミーセル側の列選択ト

ランジスタ13のドレイン側に電圧を印加することができる。そして、このダミーセル側の列選択トランジスタ13をオンにし、ダミーワード線19の電圧を変化させて入/出力パッド30に電流が流れるようにすると、入/出力パッド30に電流が流れ始める時のダミーワード線19の電圧、つまり、ダミーセル11の閾値をモニターすることが可能になる。このようにしてダミーセル11の閾値をモニターしながら、前記表1に示したような電圧を印加してダミーセル11の書き込み/消去を行うことにより、ダミーセル11の閾値を所望値に正確に設定することが可能になる。図3は、図2の回路中のダミーワード線19に電圧を印加するダミーワード線制御電圧印加回路の一例を示す回路図である。

【0036】41はダミーセル消去モード信号Eraseが入力するCMOSインバータであり、その高電位側電源ノードは内部電源SWに接続され、その低電位側電源ノードは接地電位Vssに接続されている。上記内部電源SWは、読み出し/書き込み/消去モードに応じて読み出し電源電圧Vcc/高電圧Vpp/高電圧Vppになる。42は上記CMOSインバータ41の出力ノードとダミーワード線19との間に挿入接続されたエンハンスメント型Pチャネルトランジスタであり、そのドレインが上記ワード線19に接続され、そのソース・基板相互が接続されており、そのゲートにテストモード信号Testが入力する。43は上記ダミーワード線19に接続されたダミーワード線制御電圧入力用パッド（ダミーパッド）である。上記ダミーセル消去モード信号Eraseは、ダミーセルの消去モード時に“H”レベル、その他のモード時に“L”レベルになる。テストモード信号Testは、テストモード時に“H”レベル、その他のモード時に“L”レベルになる。

【0037】図3の回路において、読み出し時には、インバータ41の出力はVccになり、トランジスタ42はオンになるので、ダミーワード線19にVccが与えられるようになる。また、書き込み時には、インバータ41の出力はVppになり、トランジスタ42はオンになるので、ダミーワード線19にVppが与えられるようになる。ダミーセル11の消去モード時には、インバータ41の出力は0Vになり、トランジスタ42はオフになるので、外部から前記ダミーパッド43を介して0Vあるいは負電圧を与えることが可能になる。即ち、通常動作時には、前記表1に示したような各動作モードに応じた電圧を印加することが可能になる。

【0038】これに対して、ダミーセル閾値テストモード時には、トランジスタ42がオフになるので、外部から前記ダミーパッド43を介して任意の大きさのダミーワード線制御電圧を与えることが可能になる。

【0039】なお、上記説明では、ダミーセル11の閾値をモニターして所望値に設定する場合を述べたが、図2の回路において、本体セル1…のワード線9…にも前

記した図3の回路に準じたワード線制御電圧印加回路を接続することにより、本体セル1…の閾値をモニターしてセルアレイ中の本体セル1…の閾値の分布などを調べることが可能になる。

【0040】即ち、図2の回路において、テスト時に、前記制御信号Normalを“L”レベル、テストモード信号Testを“H”レベル（反転テストモード信号/Testは“L”レベル）にし、トランジスタ33および35をオフ、トランジスタ34および36をオンにする。これにより、外部から所定の正の電圧を入/出力パッド30→トランジスタ34→トランジスタ36の経路で第1のトランスファゲート用トランジスタ21および第2のトランスファゲート用トランジスタ22の各ドレインに印加することが可能になる。この時、第1のトランスファゲート用トランジスタ21をオンにすると、本体セル側の列選択トランジスタ3…のドレイン側に電圧を印加することができる。そして、選択すべき列の列選択トランジスタ…3のいずれかをオンにし、選択すべき行のワード線19の電圧を変化させて入/出力パッド30に電流が流れるようにすると、入/出力パッド30に電流が流れ始める時のワード線9の電圧、つまり、選択された本体セル1…の閾値をモニターすることが可能になる。

【0041】また、上記実施例では、入/出力パッド30、ダミーセル11がそれぞれ1個であるものとして説明したが、入/出力パッド30、ダミーセル11がそれぞれ複数個ある場合にも本発明を適用することが可能である。例えば×16ビット構成のEEPROMでは、各入/出力パッド30…毎に対応して、センスアンプ20…、ダミーセル11…を有し、各入/出力パッド30…毎にダミーセル11…の閾値をモニターし、その結果、閾値の設定を必要とする一部のダミーセル11に対してのみ選択的に書込み/消去を行うようにしてもよい。この場合、ダミーパッド（図3中の43）は各ダミーセル11…に共通に接続してもよい。

【0042】上記したような一部のダミーセル11の選択は、ダミーセル書込み時における各入/出力パッド30…の入力によって決めればよい。また、一部のダミーセル11を選択して消去するためには、各ダミーセル11…毎に対応してダミーセル用ソースデコーダを設けておき、一部のダミーセル11のソースにのみ高電圧 V_{pp} を与えるようにすればよい。図4は、上記ダミーセル用ソースデコーダの一例を示す回路図である。

【0043】このデコーダは、SW電源系の二入力CMOSノアゲートからなる。このCMOSノアゲートは、エンハンスメント型のPチャネルトランジスタ51および52と、エンハンスメント型のNチャネルトランジスタ53および54とからなり、その高電位側電源ノードは内部電源SWに接続され、その低電位側電源ノードは接地電位 V_{ss} に接続されている。そして、ダミーセル消去モード時に“L”レベルになる反転ダミーセル消去モ

ード信号/DMERS および各対応する入/出力パッドからの書込みデータDinの反転データ/Dinが上記CMOSノアゲートに入力する。

【0044】図4の回路において、信号/DMERS およびデータ/Dinが共に“L”レベルになると、CMOSノアゲートの出力が V_{pp} になり、この V_{pp} がこの回路に対応するダミーセルのソースへ与えられる。図5は、上記ダミーセル用ソースデコーダの他の例を示す回路図である。

10 【0045】このデコーダは、内部電源SWと接地電位 V_{ss} との間に直列に接続されたエンハンスメント型のPチャネルトランジスタ61および62およびNチャネルトランジスタ63と、SW電源系の二入力CMOSナンドゲート64とからなる。そして、ダミーセル消去モード時に“L”レベルになる反転ダミーセル消去モード信号/DMERS および各対応する入/出力パッドからの書込みデータDinの反転データ/Dinが対応して前記Pチャネルトランジスタ61および62の各ゲートに入力し、
20 ダミーセル消去モード信号DMERS および書込みデータDinが前記CMOSナンドゲート64に入力し、このCMOSナンドゲート64の出力が前記Nチャネルトランジスタ63のゲートに入力する。

【0046】図5の回路において、信号DMERS およびデータDinが共に“H”レベルになると、CMOSナンドゲート64の出力が V_{ss} になり、Nチャネルトランジスタ63がオフになる。この時、信号/DMERS およびデータ/Dinが共に“L”レベルであるので、Pチャネルトランジスタ61および62が共にオンになり、Pチャネルトランジスタ62のソースから出力する V_{pp} がこの回路に対応するダミーセルのソースへ与えられる。
30

【0047】なお、図5の回路は、図4の回路と比べて、内部電源SWの高電圧 V_{pp} がPチャネルトランジスタを介して印加されるNチャネルトランジスタが1個少ないので、全体的なパターンサイズが小さくて済む。

【0048】

【発明の効果】上述したように本発明によれば、電氣的消去・再書込み可能な不揮発性半導体記憶装置において、ダミーセルの閾値を任意の値に設定できるようにし、初期化のために紫外線を照射してデータ消去を行った後のダミーセルの閾値にかかわらず、ダミーセルの閾値を所望値に設定して読み出し時のダミーセル側ビット線電位を精度よく設定することにより、読み出しの高速化を十分に達成することができる。

【図面の簡単な説明】

【図1】本発明のEEPROMの一実施例における読み出し回路を示す回路図。

【図2】図1の回路に対してダミーセルの閾値をモニターする回路を付加した場合の回路の一部を示す回路図。

【図3】図2中のダミーワード線に電圧を印加するダミーワード線制御電圧印加回路の一例を示す回路図。
50

13

【図4】図2中のダミーセルのソースに電圧を印加するためのダミーセル用ソースデコーダの一例を示す回路図。

【図5】図2中のダミーセルのソースに電圧を印加するためのダミーセル用ソースデコーダの他の例を示す回路図。

【図6】EPROMで一般的に用いられている読み出し回路を示す回路図。

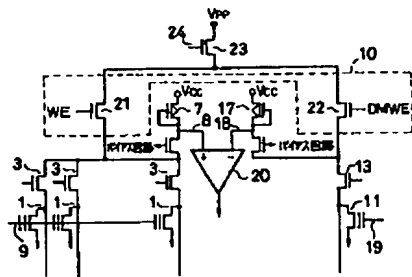
【符号の説明】

1…メモリセル（本体セル）、2…ビット線、3…列選択用トランジスタ、4…ビット線チャージ用トランジスタ、5…ビット線トランスファゲート用トランジスタ、6…バイアス回路、7…ビット線負荷用トランジスタ、8…センス線、9…ワード線、10…ダミーセル用書き込み回路、11…ダミーセル、12…ダミーセル側ビット線、13…ダミーセル側列選択用トランジスタ、14…

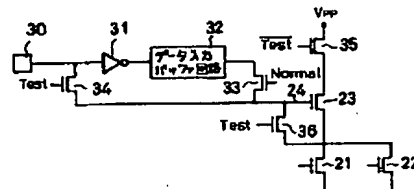
14

ダミーセル側ビット線チャージ用トランジスタ、15…ダミーセル側ビット線トランスファゲート用トランジスタ、16…ダミーセル側バイアス回路、17…ダミービット線負荷用トランジスタ、18…ダミーセル側センス線、19…ダミーワード線、20…差動型センスアンプ、21…第1のトランスファゲート用トランジスタ、22…第2のトランスファゲート用トランジスタ、23…書き込み用トランジスタ、24…データ線、30…データ入/出力パッド、31…インバータ回路、32…データ入カパツファ回路、33…第3のトランスファゲート用トランジスタ、34…第4のトランスファゲート用トランジスタ、35、36、53、54、63…Nチャネルトランジスタ、41…CMOSインバータ、42、51、52、61、62…Pチャネルトランジスタ、43…ダミーワード線制御電圧入力用パッド（ダミーパッド）、64…CMOSナンドゲート。

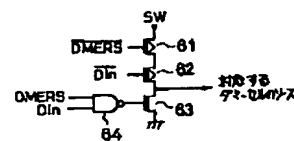
【図1】



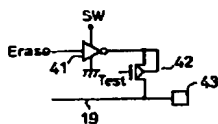
【図2】



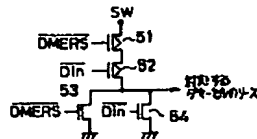
【図5】



【図3】



【図4】



【図6】

